

①9 BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENT- UND
MARKENAMT

⑫ Patentschrift
⑩ DE 198 27 893 C 1

⑤ Int. Cl.⁷:
G 06 F 13/16

⑦① Aktenzeichen: 198 27 893.4-53
⑦② Anmeldetag: 23. 6. 1998
⑦③ Offenlegungstag: -
⑦④ Veröffentlichungstag
der Patenterteilung: 27. 1. 2000

DE 198 27 893 C 1

Innerhalb von 3 Monaten nach Veröffentlichung der Erteilung kann Einspruch erhoben werden

⑦⑤ Patentinhaber:
Mustek Systems Inc., Hsin-Chu, TW

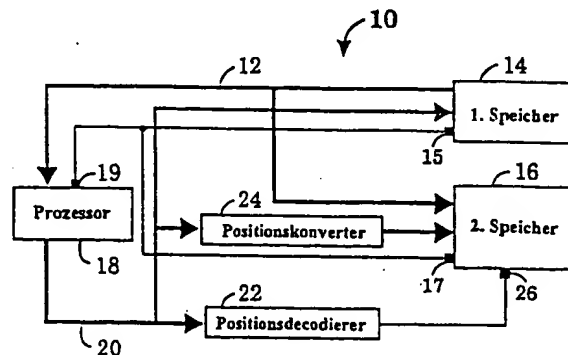
⑦⑥ Vertreter:
Patentanwälte Dr. Boeters, Bauer, Dr. Forstmeyer,
81541 München

⑦⑦ Erfinder:
Chien, Cheng-Pang, Hsin-Chu, TW

⑤⑤ Für die Beurteilung der Patentfähigkeit in Betracht
gezogene Druckschriften:
EP 07 35 491 A2
JP 03-2 04 753 A

⑤④ Computersystem

⑤⑦ Durch die Erfindung wird ein Computersystem (10; 30; 50) geschaffen, welches einen Datenbus (12; 32; 52) dazu verwendet, Daten gleichzeitig zu lesen und zu schreiben. Das Computersystem enthält des weiteren eine mit dem Datenbus verbundene Dateneingabeeinheit (14; 34; 54) zur Eingabe von Daten, eine mit dem Datenbus verbundene Datenausgabeeinheit (16; 36; 56) zur Aufnahme von Daten und einen mit dem Datenbus verbundenen Prozessor (18; 38; 58) zum Steuern der Dateneingabeeinheit und der Datenausgabeeinheit. Liest der Prozessor einen Datenwert über den Datenbus aus der Dateneingabeeinheit, so schreibt er diesen gleichzeitig über den Datenbus in die Datenausgabeeinheit, um so die Datenübertragungsgeschwindigkeit zwischen Dateneingabeeinheit und Datenausgabeeinheit zu vergrößern.



DE 198 27 893 C 1

Beschreibung

Die Erfindung betrifft ein Computersystem gemäß dem Oberbegriff des Patentanspruchs 1.

Ein solches Computersystem ist aus der JP 3-204753 A wie auch der EP 0 735 491 A2 bekannt. Die betreffenden bekannten Computersysteme verwenden einen unmittelbaren Speicherzugang (DMA = Direct Memory Access), um die Datenübertragung zwischen verschiedenen Computer-Peripheriesystemen zu beschleunigen. Zwar kann der unmittelbare Speicherzugang die Datenübertragungsgeschwindigkeit wirksam erhöhen, doch muß er mit einer dazu passenden Zentraleinheit (CPU) und peripheren Schaltkreisen zusammenarbeiten. Die spezifischen Komponentenerfordernisse machen die Schaltkreise und die Steuerung des Computersystems sehr kompliziert und teuer. Werden Daten zwischen peripheren Schaltkreisen unter Verwendung einer herkömmlichen, mit dem unmittelbaren Speicherzugang inkompatiblen Zentraleinheit übertragen, so muß diese die Daten aufeinanderfolgend aus einem peripheren Schaltkreis lesen, einzeln in einem Register abspeichern und darauf in den gewünschten anderen peripheren Schaltkreis eingeben. Dazu noch erfordern das Lesen und Schreiben der einzelnen Daten eine Datenwechseladresse und einen Adressenbus, was zu einem langen Datenübertragungsprozeß führt.

Davon ausgehend liegt der Erfindung die Aufgabe zugrunde, ein Computersystem anzugeben, welches in der Lage ist, die Datenübertragung zwischen verschiedenen Computer-Peripheriegeräten mit einfachen Mitteln zu beschleunigen.

Diese Aufgabe ist erfindungsgemäß mit den Merkmalen des Patentanspruchs 1 gelöst. Die Unteransprüche geben darüber hinausgehend vorteilhafte Ausgestaltungsmöglichkeiten an.

Der Prozessor des Computersystems gibt, wenn er einen Datenwert aus dem Eingabegerät über den Datenbus liest, diesen Datenwert gleichzeitig über den Datenbus an das Ausgabegerät, um so die Datenübertragungsgeschwindigkeit zwischen Eingabegerät und Ausgabegerät zu vergrößern.

Nachfolgend werden einige bevorzugte Ausführungsbeispiele der Erfindung anhand der begleitenden Zeichnungen genauer beschrieben. Von diesen zeigt

Fig. 1 ein Funktions-Blockschaltbild eines erfindungsgemäßen Computersystems in einer ersten Ausführungsform, Fig. 2 ein Zeitablaufdiagramm des Computersystems aus Fig. 1,

Fig. 3 ein Funktions-Blockschaltbild eines erfindungsgemäßen Computersystems in einer anderen Ausführungsform,

Fig. 4 ein Zeitablaufdiagramm des Computersystems aus Fig. 3,

Fig. 5 ein Funktions-Blockschaltbild eines erfindungsgemäßen Computersystems in noch einer weiteren Ausführungsform und

Fig. 6 ein Zeitablaufdiagramm des Computersystems aus Fig. 5.

Das in Fig. 1 gezeigte Computersystem 10 enthält einen Prozessor 18, einen ersten Speicher 14, einen zweiten Speicher 16, einen Positionskonverter 24 und einen Positionsdecodierer 22. Des weiteren weist das Computersystem 10 einen den Prozessor 18, den ersten Speicher 14 und den zweiten Speicher 16 zur Datenübertragung miteinander verbindenden Datenbus 12 sowie einen den Prozessor 16, den ersten Speicher 14 und den Positionskonverter 24 miteinander verbindenden Adressenbus 20 zum Übertragen von Datenadressen aus dem ersten Speicher 14 über den Prozessor 18 auf. Der Positionskonverter 24 besteht aus einem zwischen

dem Adressenbus 20 und dem zweiten Speicher 16 liegenden Addierer oder Subtrahierer zum Addieren bzw. Subtrahieren eines vorbestimmten Adressenunterschieds zu bzw. von einer mittels des Adressenbusses 20 übertragenen Adresse zum Erhalt einer Dateneingabeadresse für den zweiten Speicher 16.

Der erste Speicher 14 weist einen Lesefreigabeanschluß 15 zum Steuern der Datenausgabe aus dem ersten Speicher 14 auf. Wird der Lesefreigabeanschluß 15 angesteuert, so gibt der erste Speicher 14 einen unter einer Adresse aus dem Adressenbus 20 gespeicherten Datenwert auf den Datenbus 12. Der zweite Speicher 16 besitzt einen Schreibfreigabeanschluß 17 zum Steuern der Dateneingabe aus dem zweiten Speicher 16. Wird der Schreibfreigabeanschluß 17 angesteuert, so gibt der zweite Speicher 16 einen Datenwert von dem Datenbus 12 an eine Dateneingabeadresse aus dem Positionskonverter 24. Der Lesefreigabeanschluß 15 des ersten Speichers 14 und der Schreibfreigabeanschluß 17 des zweiten Speichers 16 sind mit einem Steueranschluß 19 des Prozessors 18 verbunden, so daß der Prozessor 18 den Steueranschluß 19 zur gleichzeitigen Auslösung eines Lesevorgangs am ersten Speicher 14 und eines Schreibvorgangs am zweiten Speicher 16 verwenden kann.

Der zweite Speicher 16 enthält des weiteren einen Gerätefreigabeanschluß 26 in elektrischer Verbindung mit dem Positionsdecodierer 22 zur Steuerung des Ein- und Ausschaltstatus des zweiten Speichers 16. Der Positionsdecodierer 22 liegt zwischen dem Adressenbus 20 und dem Gerätefreigabeanschluß 26 des zweiten Speichers 16. Wenn die Adresse des über den Adressenbus 20 von dem ersten Speicher 14 ausgehenden Datenwertes in einem vorbestimmten ersten Positionsabschnitt liegt, löst der Positionsdecodierer 22 den zweiten Speicher 16 über dessen Gerätefreigabeanschluß 26 aus.

Fig. 2 zeigt, wie der Prozessor 18 einen in dem ersten Positionsabschnitt des ersten Speichers 14 gespeicherten Datenwert liest. Das betreffende Zeitdiagramm gibt die Ausgabezeit an, in welcher der Prozessor 18 an den Adressenbus 20 ausgibt, die Ausgabezeit des Positionskonverters 24, die Ausgabezeit des Positionsdecodierers 22 und die Ausgabezeit des Signals am Steueranschluß 19 des Prozessors 18. Die Zeit T ist diejenige eines einzelnen von dem Prozessor 18 ausgeführten Instruktionszyklusses. Das Ausgangssignal des Positionsdecodierers 22 liegt als Eingangssignal an dem Gerätefreigabeanschluß 26 des zweiten Speichers 16 an. Eine logische 1 bedeutet "aus", und eine logische 0 bedeutet "ein". Das Ausgangssignal vom Steueranschluß 19 des Prozessors 18 bildet das Eingangssignal am Lesefreigabeanschluß 15 des ersten Speichers 14 wie auch das Eingangssignal für den Schreibfreigabeanschluß 17 des zweiten Speichers 16.

Liest der Prozessor 18 einen in dem ersten Positionsabschnitt des ersten Speichers 14 gespeicherten Datenwert, so gibt er die Adresse desselben auf den Adressenbus 20. Wenn der Positionsdecodierer 22 feststellt, daß der Datenwert aus dem ersten Positionsabschnitt gelesen wird, so gibt er an den Gerätefreigabeanschluß 26 des zweiten Speichers 16 eine logische 0, um diesen zweiten Speicher auszulösen, und der Positionskonverter 24 setzt die Adresse auf dem Adressenbus 20 automatisch in eine entsprechende Adresse in einem zweiten Positionsabschnitt des zweiten Speichers 16 um. Danach gibt der Prozessor 18 über den Steueranschluß 19 ein Lesesignal 28 (Fig. 2) in Gestalt einer logischen 0 aus, um über den Lesefreigabeanschluß 15 den ersten Speicher 14 und über den Schreibfreigabeanschluß 17 den zweiten Speicher 16 in Betrieb zu setzen, worauf der Datenwert aus dem ersten Speicher 14 gelesen und unmittelbar in den zweiten Speicher 16 eingeschrieben wird. Wie aus Fig. 2 er-

sichtlich, benötigt der Prozessor 18 zum Lesen eines Datenwerts aus dem ersten Speicher 14 und Einschreiben desselben in den zweiten Speicher 16 nur einen einzigen Instruktionszyklus.

Soll das Computersystem 10 den ersten Positionsabschnitt des ersten Speichers 14 zum zweiten Positionsabschnitt des zweiten Speichers 16 übertragen, so kann der Prozessor 18 eine Positionsdivergenz zwischen dem ersten Positionsabschnitt und dem zweiten Positionsabschnitt in dem Positionskonverter 24 und eine Position sowie die Länge des ersten Positionsabschnitts in dem Positionsdecoder 22 speichern. Dazu braucht der Prozessor 18 nur nacheinander unter Verwendung des Adressenbusses 20 und des Datenbusses 12 die Daten aus dem ersten Positionsabschnitt des ersten Speichers 14 zu lesen und in der gleichen Reihenfolge unter entsprechenden Adressen in den zweiten Positionsabschnitt des zweiten Speichers 16 einzuschreiben.

In Fig. 3 ist ein abgewandeltes Computersystem 30 nach der Erfindung dargestellt. Es enthält einen Prozessor 38, einen Speicher 34, einen Eingabe-Ausgabe-Tor 36 und einen Positionsdecoder 42, ferner einen den Prozessor 38, den Speicher 34 und das Eingabe-/Ausgabe-Tor 36 miteinander verbindenden Datenbus 32 zum Übertragen von Daten sowie einen den Prozessor 38, den Speicher 34 und den Positionsdecoder miteinander verbindenden Adressenbus 40 zum Übertragen von Datenadressen des Speichers 34, die aus dem Prozessor 38 stammen.

Der Speicher 34 besitzt einen Lesefreigabeanschluß 35 zum Steuern des Datenausgangs. Empfängt dieser Lesefreigabeanschluß 35 ein Triggersignal, so gibt der Speicher 34 einen Datenwert auf den Datenbus 32 entsprechend einer zugehörigen Adresse von dem Adressenbus 40. Das Eingabe-/Ausgabe-Tor 36 besitzt einen Schreibfreigabeanschluß 37 zum Steuern einer Datenausgabe von ihm. Empfängt der Schreibfreigabeanschluß 37 ein Triggersignal, so gibt das Eingabe-/Ausgabe-Tor 36 den betreffenden Datenwert auf den Datenbus 32. Der Lesefreigabeanschluß 35 des Speichers 34 und der Schreibfreigabeanschluß 37 des Eingabe-/Ausgabe-Tors 36 sind mit dem Steueranschluß 39 des Prozessors 38 verbunden, so daß der Prozessor hierüber gleichzeitig einen Lesevorgang aus dem Speicher 34 und ein Ausgangssignal aus dem Eingabe-/Ausgabe-Tor 36 auslösen kann.

Das Eingabe-/Ausgabe-Tor 36 weist des weiteren einen Gerätefreigabeanschluß 46 in Verbindung mit dem Positionsdecoder 42 auf zum Steuern des Ein- und Ausschaltzustandes des Eingabe-/Ausgabe-Tors 36. Der Positionsdecoder 42 steht mit dem Adressenbus 40 und dem Gerätefreigabeanschluß 46 des Eingabe-/Ausgabe-Tors 36 in Verbindung. Befindet sich die über den Adressenbus 40 übermittelte Adresse eines Datenwertes aus dem Speicher 34 in einem vorbestimmten ersten Positionsabschnitt, so löst der Positionsdecoder 42 das Eingabe-/Ausgabe-Tor 36 über dessen Gerätefreigabeanschluß 46 aus.

Fig. 4 zeigt, wie der Prozessor 38 einen Datenwert in dem ersten Positionsabschnitt des Speichers 34 liest. Das betreffende Zeitdiagramm gibt die Ausgabezeit an, in welcher der Prozessor 38 den Adressenbus 40 speist, das Ausgangssignal des Positionsdecoders 42 sowie das Ausgangssignal am Steueranschluß 39 des Prozessors 38. T bezeichnet die Zeit eines von dem Prozessor 38 ausgeführten Instruktionszyklus. Liest der Prozessor 38 einen Datenwert in dem ersten Positionsabschnitt des Speichers 34, so überträgt er die Adresse dieses Datenwerts über den Adressenbus 40. Stellt der Positionsdecoder 42 fest, daß die Adresse auf dem Adressenbus 40 in den ersten Positionsabschnitt fällt, so erzeugt er an dem Gerätefreigabeanschluß 46 des Eingabe-/Ausgabe-Tors 36 eine logische 0, um dieses auszulö-

sen, und der Prozessor 38 gibt über den Steueranschluß 39 ein Lesesignal 48 (Fig. 4) in Gestalt einer logischen 0 aus, um den Speicher 34 über den Lesefreigabeanschluß 35 und das Eingabe-/Ausgabe-Tor 36 über den Schreibfreigabeanschluß 37 auszulösen. Während dieser Zeit wird der Datenwert aus dem Speicher 34 gelesen und unmittelbar von dem Eingabe-/Ausgabe-Tor 36 ausgegeben. Fig. 4 zeigt, daß es wiederum nur eines einzigen Instruktionszyklus des Prozessors 38 bedarf, um einen Datenwert aus dem Speicher 34 zu lesen und diesen über das Eingabe-/Ausgabe-Tor 36 auszugeben.

Hat das Computersystem 30 den ersten Positionsabschnitt des Speichers 34 über das Eingabe-/Ausgabe-Tor 36 auszugeben, so kann der Prozessor 38 eine Adresse und die Länge des ersten Positionsabschnitts in dem Positionsdecoder 42 speichern, darauf in dem ersten Positionsabschnitt des Speichers 34 gespeicherte Daten nacheinander vermittels des Adressenbusses 40 und des Datenbusses 32 lesen und schließlich die Daten über das Eingabe-/Ausgabe-Tor 36 in der gleichen Reihenfolge ausgeben.

Ein weiteres Computersystem 50, nach Fig. 5, enthält einen Prozessor 58, ein erstes Eingabe-/Ausgabe-Tor 54, ein zweites Eingabe-/Ausgabe-Tor 56 und einen Positionsdecoder 62, des weiteren einen den Prozessor 58, das erste Eingabe-/Ausgabe-Tor 54 und das zweite Eingabe-/Ausgabe-Tor 56 verbindenden Datenbus 52 zum Übertragen von Daten sowie einen den Prozessor 58 mit dem Positionsdecoder 62 verbindenden Adressenbus 60 zum Übertragen einer Adresse für ein jedes der beiden Eingabe-/Ausgabe-Tore 54 und 56.

Das erste Eingabe-/Ausgabe-Tor 54 weist einen Lesefreigabeanschluß 55 zum Steuern seines Ausgangs auf. Wird dieser Lesefreigabeanschluß 55 getriggert, so gibt das erste Eingabe-/Ausgabe-Tor 54 einen Datenwert auf den Datenbus 52. Das zweite Eingabe-/Ausgabe-Tor 56 besitzt einen Schreibfreigabeanschluß 57 zum Steuern seines Datenausgangs. Empfängt der Schreibfreigabeanschluß 57 ein Triggersignal, so gibt er den betreffenden Datenwert auf den Datenbus 52. Der Lesefreigabeanschluß 55 des ersten Eingabe-/Ausgabe-Tors 54 und der Schreibfreigabeanschluß 57 des zweiten Eingabe-/Ausgabe-Tors 56 stehen mit dem Steueranschluß 59 des Prozessors 58 in Verbindung, so daß der Prozessor 58 hierüber gleichzeitig eine Eingabe über das erste Eingabe-/Ausgabe-Tor 54 und eine Ausgabe über das zweite Eingabe-/Ausgabe-Tor 56 auslösen kann.

Das erste Eingabe-/Ausgabe-Tor 54 besitzt des weiteren einen Gerätefreigabeanschluß 67 in Verbindung mit dem Positionsdecoder 62 zum Steuern des Ein- und Ausschaltzustandes des ersten Eingabe-/Ausgabe-Tors 54. Ebenso weist das zweite Eingabe-/Ausgabe-Tor 56 des weiteren einen Gerätefreigabeanschluß 66 in Verbindung mit dem Positionsdecoder 62 zum Steuern des Ein- und Ausschaltzustandes des zweiten Eingabe-/Ausgabe-Tors 56 auf. Der Positionsdecoder 62 verbindet den Adressenbus 60, den Gerätefreigabeanschluß 67 des ersten Eingabe-/Ausgabe-Tors 54 und den Gerätefreigabeanschluß 66 des zweiten Eingabe-/Ausgabe-Tors 56 miteinander. Ist eine von dem Adressenbus 60 übermittelte Adresse diejenige des ersten Eingabe-/Ausgabe-Tors 54, so liefert der Positionsdecoder 62 ein Triggersignal an das erste Eingabe-/Ausgabe-Tor 54 über dessen Gerätefreigabeanschluß 67 und an das zweite Eingabe-/Ausgabe-Tor 56 über dessen Gerätefreigabeanschluß 66.

In dem Zeitablaufdiagramm der Fig. 6 ist ersichtlich, wie ein Datenwert von dem ersten Eingabe-/Ausgabe-Tor 54 vermittels des Prozessors 58 zu dem zweiten Eingabe-/Ausgabe-Tor 56 übertragen wird. Das Diagramm gibt die Ausgabezeit an, in welcher der Prozessor 58 den Adressenbus

60 speist, das von dem Positionsdecoder 62 an die Gerätefreigabeanschlüsse 66 und 67 gelieferte Ausgangssignal sowie das von dem Prozessor 58 über den Steueranschluß 59 ausgegebene Ausgangssignal. T bedeutet wiederum die Zeit eines von dem Prozessor 58 ausgeführten Instruktionszyklusses.

Überträgt der Prozessor 58 einen Datenwert aus dem ersten Eingabe-/Ausgabe-Tor 54 zu dem zweiten Eingabe-/Ausgabe-Tor 56, so gibt er zunächst die Adresse des ersten Eingabe-/Ausgabe-Tors 54 auf den Adressenbus 60. Stellt der Positionsdecoder 62 fest, daß die Adresse auf dem Adressenbus 60 diejenige des ersten Eingabe-/Ausgabe-Tors 54 ist, so liefert er eine logische 0 an den Gerätefreigabeanschluß 67 des ersten Eingabe-/Ausgabe-Tors 54, um dieses auszulösen, und an den Gerätefreigabeanschluß 66 des zweiten Eingabe-/Ausgabe-Tors 56, um auch dieses in Betrieb zu setzen. Sodann gibt der Prozessor 58 über seinen Steueranschluß 59 ein Lesesignal 68 in Form einer logischen 0 an den Lesefreigabeanschluß 55 des ersten Eingabe-/Ausgabe-Tors 54 und den Schreibfreigabeanschluß 57 des zweiten Eingabe-/Ausgabe-Tors 56, um beide auszulösen. Während dieser Zeit wird der betreffende Datenwert über das erste Eingabe-/Ausgabe-Tor 54 eingegeben und unmittelbar über das zweite Eingabe-/Ausgabe-Tor 56 ausgegeben. Fig. 6 zeigt, daß es wiederum nur eines einzigen Instruktionszyklusses des Prozessors 58 bedarf, um einen Datenwert über das erste Eingabe-/Ausgabe-Tor 54 einzugeben und den gleichen Datenwert über das zweite Eingabe-/Ausgabe-Tor 56 auszugeben.

Patentansprüche

1. Computersystem (10; 30; 50) mit einem Datenbus (12; 32; 52) zum Übertragen von Daten, einen Adressenbus (20; 40; 60) zum Übertragen von Datenadressen, einer mit dem Datenbus (12; 32; 52) und dem einen Adressenbus (20; 40; 60) elektrisch verbundenen Dateneingabeeinheit (14; 34; 54) zum Liefern von Daten, einer mit dem Datenbus (12; 32; 52) und dem Adressenbus (20; 40; 60) elektrisch verbundenen Datenausgabeeinheit (16; 36; 56) zur Aufnahme von Daten, und einem mit dem Datenbus (12; 32; 52) und dem Adressenbus (20; 40; 60) elektrisch verbundenen Prozessor (18; 38; 58) zum Steuern der Dateneingabeeinheit (14; 34; 54) und der Datenausgabeeinheit (16; 36; 56), dadurch gekennzeichnet, daß die Datenausgabeeinheit (16; 36; 56) einen Gerätefreigabeanschluß (26; 46; 66) zum Steuern des Ein- und Ausschaltzustandes der Datenausgabeeinheit aufweist, und ein elektrisch zwischen den Adressenbus (20; 40; 60) und den Gerätefreigabeanschluß (26; 46; 66) der Datenausgabeeinheit (16; 36; 56) geschalteten Positionsdecoder (22; 42; 62) vorgesehen ist, wobei, wenn eine von dem Prozessor (18; 38; 58) auf den Adressenbus (20; 40; 60) gegebene Adresse eine vorbestimmte Adresse ist, der Positionsdecoder (22; 42; 62) die Datenausgabeeinheit (16; 36; 56) über deren Gerätefreigabeanschluß (26; 46; 66) triggert, so daß, wenn der Prozessor (18; 38; 58) einen Datenwert über den Datenbus (12; 32; 52) aus der Dateneingabeeinheit (14; 34; 54) liest, der Prozessor (18; 38; 58) diesen Datenwert in einem Instruktionszyklus über den Datenbus (12; 32; 52) in die Datenausgabeeinheit (16; 36; 56) einschreibt, um so die Datenübertragungsgeschwindigkeit zwischen der Dateneingabeeinheit und

der Datenausgabeeinheit zu erhöhen.

2. Computersystem (10; 30; 50) nach Anspruch 1, dadurch gekennzeichnet, daß die Dateneingabeeinheit (14; 34; 54) einen mit dem Prozessor (18; 38; 58) verbundenen Lesefreigabeanschluß (15; 35; 55) und die Datenausgabeeinheit (16; 36; 56) einen mit dem Prozessor verbundenen Schreibfreigabeanschluß (17; 37; 57) aufweist, und der Prozessor beim Lesen des Datenwertes aus der Dateneingabeeinheit deren Lesefreigabeanschluß und gleichzeitig den Schreibfreigabeanschluß der Datenausgabeeinheit triggert, so daß der betreffende Datenwert über den Datenbus (12; 32; 52) in die Datenausgabeeinheit in dem gleichen Instruktionszyklus geschrieben werden kann.
3. Computersystem (10; 30; 50) nach Anspruch 1 oder 2, dadurch gekennzeichnet, daß der Lesefreigabeanschluß (15; 35; 55) der Dateneingabeeinheit (14; 34; 54) mit dem Schreibfreigabeanschluß (17; 37; 57) der Datenausgabeeinheit (16; 36; 56) verbunden ist, um den Prozessor (18; 38; 58) in die Lage zu versetzen, diese beiden Freigabeanschlüsse gleichzeitig zu triggern.
4. Computersystem (10; 30; 50) nach einem der Ansprüche 1 bis 3, dadurch gekennzeichnet, daß, wenn die von dem Prozessor (18; 38; 58) auf den Adressenbus (20; 40; 60) gegebene Adresse innerhalb eines vorgegebenen Adressenbereichs liegt, der Positionsdecoder (22; 42; 62) die Datenausgabeeinheit (16; 36; 56) über deren Gerätefreigabeanschluß (26; 46; 66) triggert.
5. Computersystem (50) nach einem der Ansprüche 1 bis 4, dadurch gekennzeichnet, daß die Dateneingabeeinheit (54) des weiteren einen mit dem Positionsdecoder (62) verbundenen Gerätefreigabeanschluß (67) zum Steuern des Ein- und Ausschaltzustandes der Dateneingabeeinheit aufweist, und daß, wenn die von dem Prozessor (58) auf den Adressenbus (60) gegebene Adresse eine vorgegebene Adresse ist, der Positionsdecoder (62) gleichzeitig über die beiden Gerätefreigabeanschlüsse (66, 67) die Dateneingabeeinheit (54) und die Datenausgabeeinheit (56) triggert, so daß er einen Datenwert über den Datenbus (52) aus der Dateneingabeeinheit lesen und diesen Datenwert über den Datenbus in die Datenausgabeeinheit (56) in dem gleichen Instruktionszyklus einschreiben kann.
6. Computersystem (10) nach einem der Ansprüche 1 bis 5, dadurch gekennzeichnet, daß die Dateneingabeeinheit (14) aus einem ersten Speicher besteht und der Adressenbus (20) mit diesem ersten Speicher verbunden ist, und daß, wenn der Prozessor (18) auf den Adressenbus (20) die vorbestimmte Adresse ausgibt und über den Datenbus (12) den Datenwert aus dem ersten Speicher (14) liest, der Positionsdecoder (22) die Datenausgabeeinheit (16) triggert, so daß der betreffende Datenwert über den Datenbus in die Datenausgabeeinheit (16) eingeschrieben werden kann.
7. Computersystem (10) nach Anspruch 6, dadurch gekennzeichnet, daß die Datenausgabeeinheit (16) aus einem zweiten Speicher besteht und das Computersystem des weiteren einen zwischen diesen zweiten Speicher und den Adressenbus (20) geschalteten Positionskonverter (24) zum Umwandeln der über den Adressenbus übertragenen Adresse und zum Eingeben der umgewandelten Adresse in den zweiten Speicher als Dateneingabeadresse aufweist, und daß, wenn der Prozessor (18) auf den Datenbus (20) die vorbestimmte Adresse ausgibt, um den Datenwert aus dem ersten Speicher (14) zu lesen, der Positionsdecoder (22)

den zweiten Speicher triggert, so daß der betreffende Datenwert in dem gleichen Instruktionszyklus unter der umgewandelten Adresse in den zweiten Speicher eingeschrieben werden kann.

8. Computersystem (10) nach Anspruch 6 oder 7, dadurch gekennzeichnet, daß der Positionskonverter (24) aus einem Addierer oder Subtrahierer zum Addieren bzw. Subtrahieren einer Adressendifferenz zu bzw. von der über den Adressenbus (20) übertragenen Adresse besteht, um so die Dateneingabeadresse für den zweiten Speicher (16) zu erzeugen.

9. Computersystem (30; 50) nach einem der Ansprüche 1 bis 5, dadurch gekennzeichnet, daß die Dateneingabeeinheit (54) und/oder die Datenausgabeeinheit (36; 56) aus einem Datentor zum Ein- bzw. Ausgeben des betreffenden Datenwertes besteht.

Hierzu 3 Seite(n) Zeichnungen

20

25

30

35

40

45

50

55

60

65

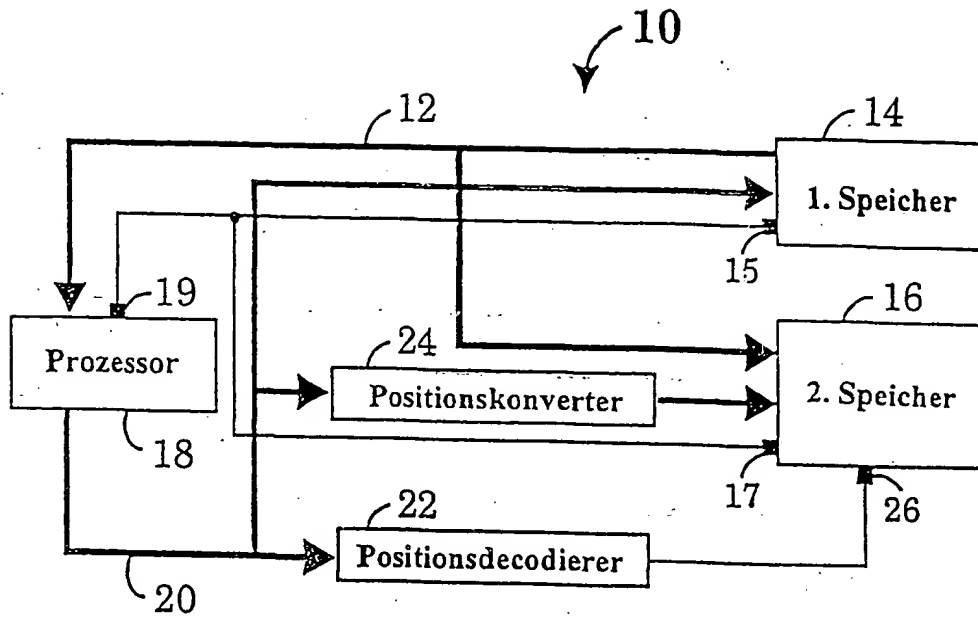


FIG. 1

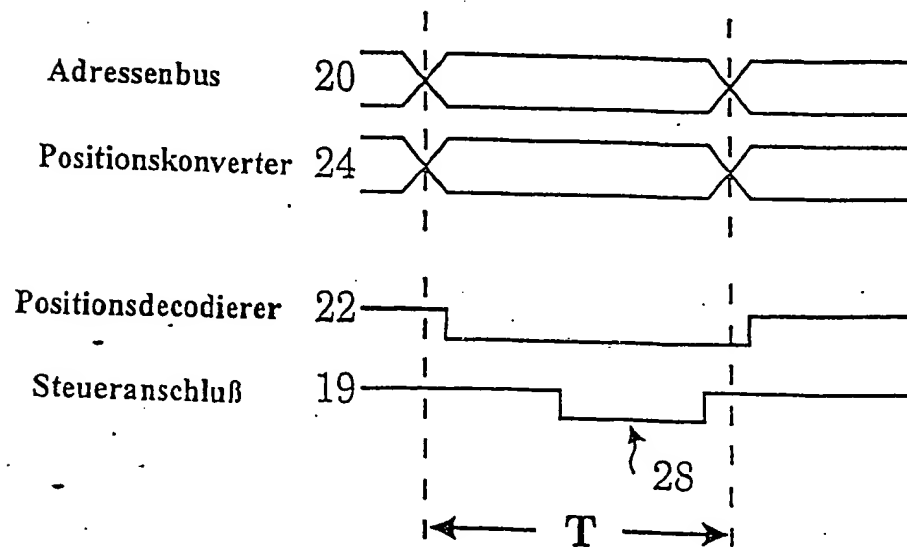


FIG. 2

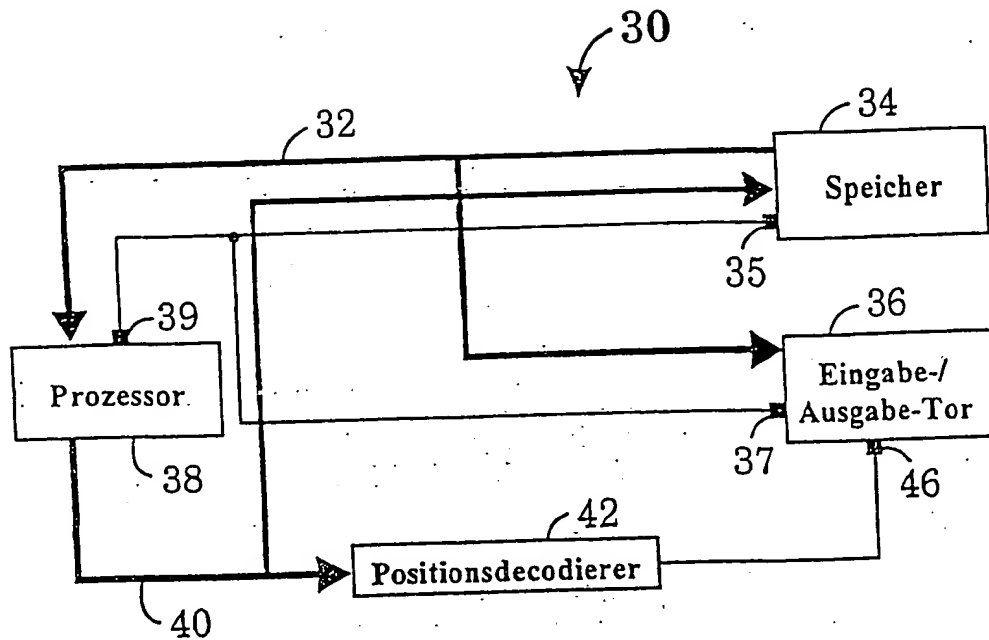


FIG. 3

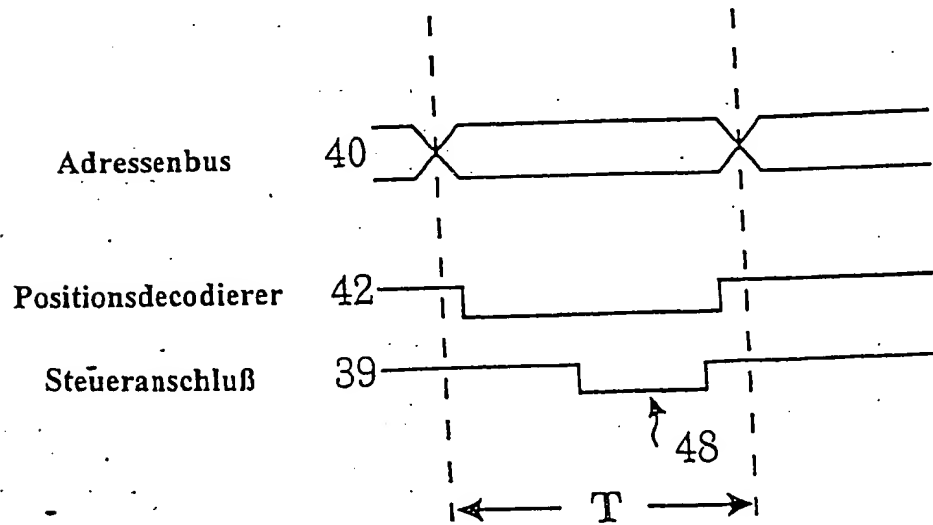


FIG. 4

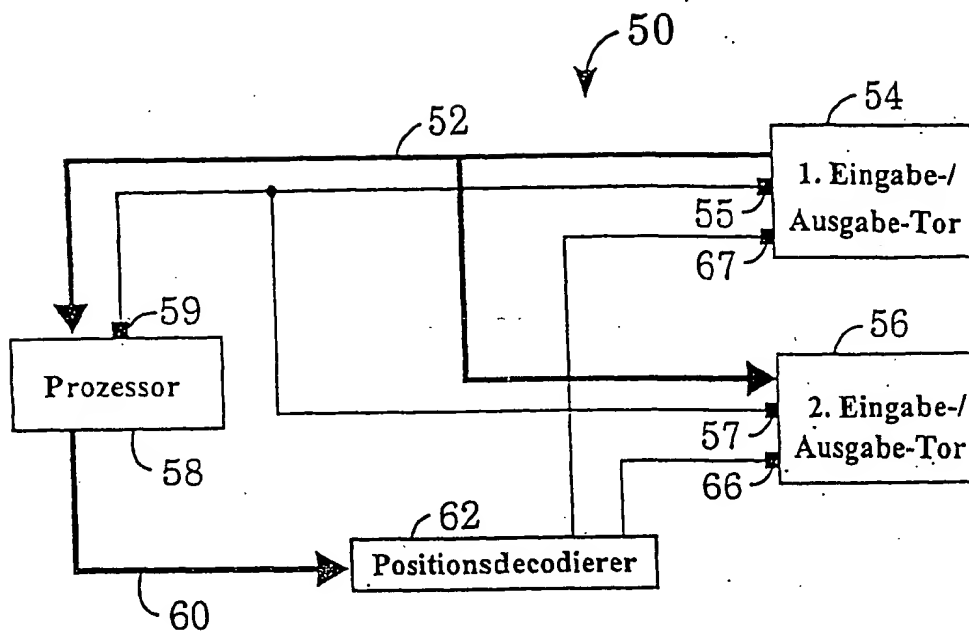


FIG. 5

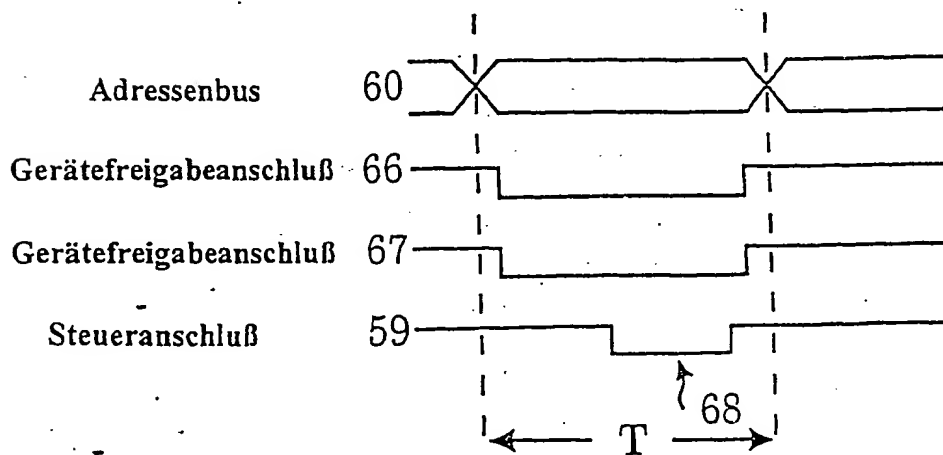


FIG. 6